UNIONE EUROPEA

MINISTERO DELL'ECONOMIA

REGIONE PIEMONTE

ctt

IRGAL

INNOVAZIONE E RICERCA GALILEO

Newsletter n. 4 – Ottobre 2008

In questo numero vi presentiamo un altro risultato importante del progetto IRGAL: lo studio e l'implementazione di un chip che realizza un front-end RF a doppia banda riconfigurabile che consente di ricevere simultaneamente i segnali Galileo e GPS.
Tale front-end è stato progettato dai ricercatori della Fondazione Torino Wireless che hanno anche coordinato le attività delle società Accent, Novasis Ingegneria e SMIC, collaborando con ISMB.

torinowireless
ICT and Innovation in Piemonte

FRONT-END DI UN RICEVITORE GALILEO/GPS A DOPPIA BANDA RICONFIGURABILE

Il Front-end descritto nel seguito è una struttura riconfigurabile che permette di ricevere contemporaneamente due bande del segnale GPS/Galileo. La realizzazione del front-end è in tecnologia 0.13µm RFCMOS. È stata utilizzata una architettura a supereterodina che si avvale di un unico PLL e VCO a frequenza fissa. Tale architettura consente la conversione a frequenza intermedia (IF) di due segnali a radio frequenza (RF). L'intervallo delle frequenze IF va da 50MHz a 150MHz.
I segnali L1 e E1 sono convertiti in un unico canale mediante una conversione a due stadi, utilizzando cioè due mixer. I segnali L2, E6, E5, E5a, E5b vengono invece convertiti in un unico canale utilizzando un solo mixer.
I due canali IF vengono filtrati e sottocampionati utilizzando due convertitori analogico-digitali (ADC) implementati all'interno del chip. I canali satellitari che si intende ricevere possono essere selezionati e riconfigurati semplicemente cambiando la frequenza di campionamento dell'ADC ed i filtri RF/IF esterni al chip. Non è quindi necessario riconfigurare il gruppo PLL e VCO.

ARCHITETTURA DEL FRONT-END

L'architettura utilizzata, come anticipato, è quella a supereterodina, sicuramente la tecnica di ricezione più diffusa.
Con questa architettura si sono ottenuti due obiettivi, il primo è la conversione a IF sia dei segnali delle bande alte (E1, L1) che dei segnali delle bande basse (L2, E5, E5a, E5b, E6); il secondo è la ricezione simultanea dei due gruppi di bande.
Questa architettura innovativa è stata oggetto di brevetto italiano in corso di estensione in Europa.
Nella Figura 1 vengono evidenziati i blocchi fondamentali dell'architettura realizzata. Come mostrato in figura, il ricevitore è costituito da alcuni componenti esterni, fondamentalmente I filtri passivi ed il VGA (Variable Gain

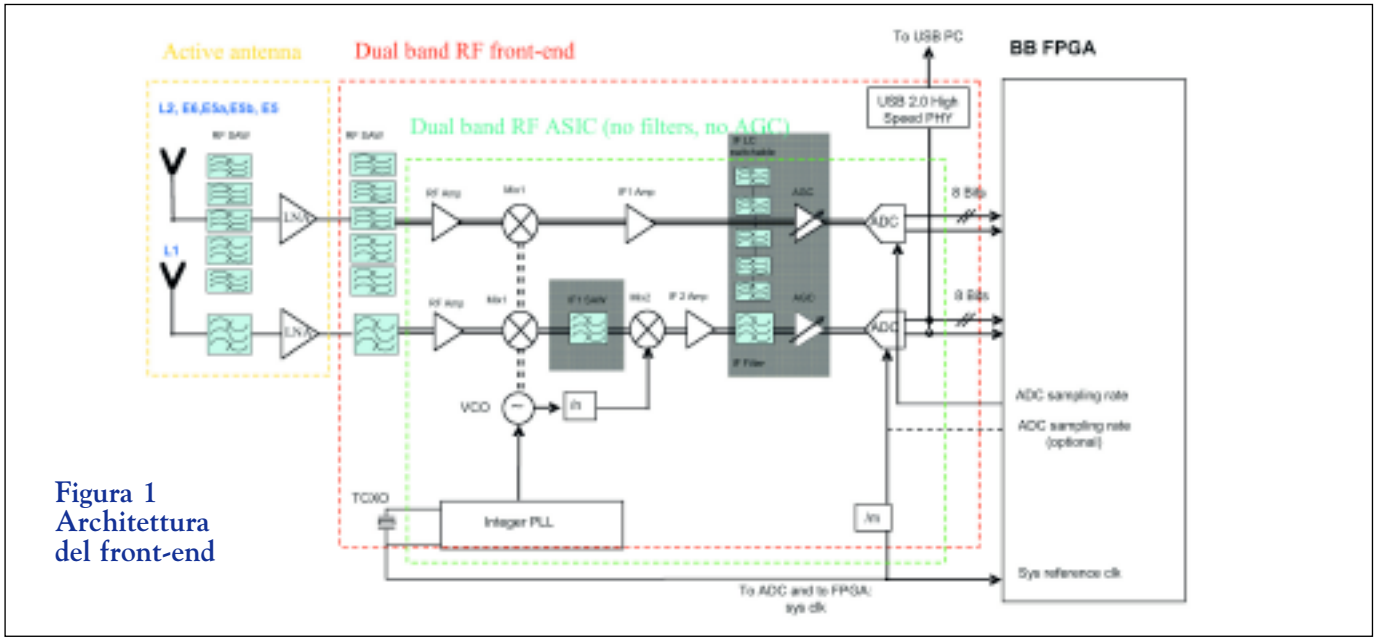

Figura 1 Architettura del front-end

Amplifier), e integra i seguenti blocchi funzionali: RF Amplifier, Mixer 1, Mixer 2, IF Amplifier, VCO/PLL e i convertitori ADC. L'architettura illustrata è stata realizzata in un unico chip come mostrato in figura 2.

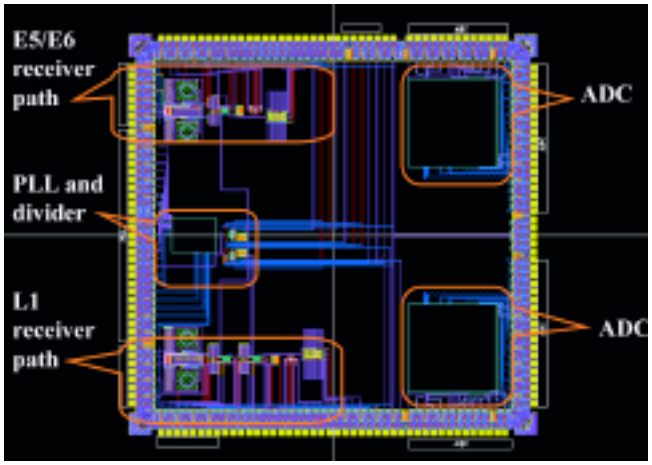

Fig. 2 Top level layout

RIEPILOGO DEI RISULTATI OTTENUTI

È stato realizzato il prototipo del chip RF integrato con tecnologia 0.13µm CMOS. Il chip ha un'area di 20mm^2 in buona parte utilizzata per inserire opportune strutture dedicate ai test; l'area può quindi essere ulteriormente ottimizzata. Il consumo è approssimativamente di 100mW. Il guadagno totale previsto della catena di conversione è di circa 50dB per entrambe le bande e si prevede che la cifra di rumore RFIC (Radio Frequency Integrated Circuits) sia minore di 10dB. Nella Tabella 1 sono riportate le prestazioni, simulate con estrazione dei parassiti, del canale E5/E6 della catena ricevente.

Tabella 1 - E5/E6 Receiver path simulation results

Parameter	Value	Units
Input frequency	1176 - 1278	MHz
Output frequency	66 - 168	MHz
Conversion-Gain @ Mixer output	27.9 @100MHz	dB
Conversion-Gain @ IF Amplifier output	46@100MHz	dB
Noise Figure (total)	8	dB
P1dB @ Mixer output	-25	dBm
IIP3 @ Mixer output	-15	dBm

Per eseguire il test del prototipo, il chip è stato inserito in un chip-carrier e montato su una apposita test-board in FR4 a 4 strati. La medesima board consente anche di realizzare l'architettura precedentemente illustrata utilizzando componenti discreti commerciali. In tal modo è stato possibile validare l'architettura del front-end indipendentemente dal chip, come descritto in seguito.

FRONT-END A COMPONENTI DISCRETI

Come già anticipato, il front-end è stato realizzato anche a componenti discreti allo scopo di validare l'architettura proposta e di avere un sistema di test modulare aperto. Le strutture di test inserite nel chip permettono di isolare ed escludere ciascun blocco funzionale agendo sulle connessioni dei pin esterni. Si è deciso di adottare questa strategia perché, avendo a disposizione un solo run di silicio, con questo approccio si massimizza la possibilità di verificare tutti i blocchi funzionali presenti. Il sistema di test realizzato è composto da una mother-board che fornisce la connettività a diverse daugther-boards, ciascuna delle quali implementa uno specifico blocco funzionale, ovvero il PLL, l'amplificatore IF, i Mixer1 e Mixer2, gli ADC1 e ADC2.

Tutti i collegamenti tra mother-board e daughter-boards sono attuati tramite connettori SMS a radio frequenza, ciascun blocco funzionale è schermato e tutte le connessioni sono realizzate utilizzando µSTRIPS e STRIP-LINES.

Sulla mother-board sono inoltre presenti le connessioni per i filtri esterni, l'alimentazione, il clock di sistema ed una porta USB 2.0 che permette la connessione del ricevitore ad un SW receiver PC-based, come quello descritto nella IRGAL Newsletter n. 2 – Agosto 2008.

In questa configurazione il sistema diviene uno strumento di sviluppo che permette di lavorare con un ricevitore satellitare variando i diversi parametri di configurazione.

Disconnettendo dalla mother-board tutte le daughter-boards, è possibile inserire il modulo con a bordo il chip del front-end. In questa configurazione la mother-board diviene l'ambiente di prova e validazione del chip e, in caso di malfunzionamento di singoli blocchi interni al chip, questi possono essere esclusi e sostituiti dagli equivalenti realizzati sulle daughter-boards, permettendo così il proseguimento dei test.

In figura 3 vengono riportate due fotografie che mostrano il lato componenti ed il lato connessioni della mother-board con le daughter-boards inserite.

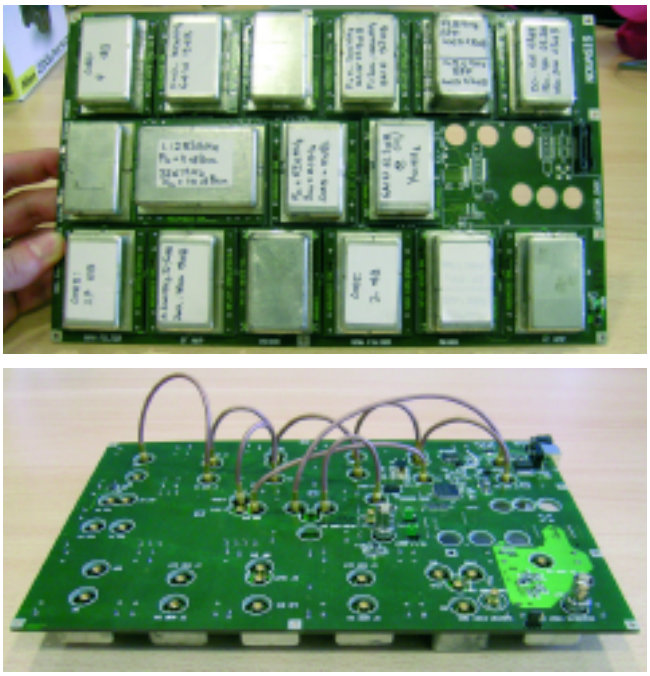

Figura 3

RIFERIMENTI BIBLIOGRAFICI. A. Pizzarulli, G. Montagna, M. Pini, S. Salerno, N. Lofu, G. Sensalari, "Reconfigurable and Simultaneous Dual Band Galileo/GPS Front-end Receiver in 0.13µm RFCMOS", IEEE/ION PLANS 2008 – Position Location and Navigation Symposium, Monterey, CA, 5-8 May 2008

IRGAL ALLA CONFERENZA ION-GNSS 2008

La comunità scientifica e tecnologica che opera nel campo del GNSS annota ogni anno nella propria agenda la data della conferenza organizzata dall'Istituto di Navigazione degli Stati Uniti. Si tratta di uno dei più importanti eventi internazionali nel settore della navigazione satellitare: l'occasione per i ricercatori, le aziende e gli operatori del settore di essere aggiornati su tutte le novità scientifiche e tecnologiche e sui nuovi prodotti nel settore del GNSS. La conferenza ION-GNSS 2008 si è svolta a Savannah, Georgia, USA, dal 16 al

19 Settembre 2008 e, come sempre, ha visto la partecipazione di circa 1000 addetti ai lavori provenienti da tutto il mondo.
Quest'anno IRGAL ha avuto significativo spazio alla conferenza sia per il numero di partecipanti del Politecnico di Torino e di ISMB, entrambi partner del progetto IRGAL, sia per la qualità e il numero delle presentazioni legate al progetto.
Al termine di un processo di selezione molto severo che vede in media un tasso di accettazione del 30% degli abstracts sottoposti, sono stati accolti ben quattro articoli dedicati a IRGAL, che saranno anche pubblicati negli atti della conferenza.
La presentazione del progetto IRGAL nel suo complesso ("The IRGAL Project: Innovation and Research on Galileo in Piedmont" i cui autori sono M. Pini, M. Fantino, P. Mulassano, L. Lo Presti, L. Bragagnini) è stata tenuta in una delle sessioni più frequentate della conferenza, dal titolo "Galileo and GPS/Galileo Reference and User Receivers". La presentazione ha riscosso molto successo e ha generato positivi commenti e interesse da parte dei rappresentanti del mondo accademico ed industriale. La disponibilità di un ricevitore di tipo Fully SW come strumento per la ricerca e sviluppo è stata particolarmente apprezzata.
Il progetto IRGAL è stato anche citato nelle sessioni scientifiche dove sono stati illustrati alcuni risultati di ricerca ottenuti nell'ambito del progetto. Nella sessione "GNSS Receiver Algorithms" sono stati presentati due articoli, "Signal Compression for an Efficient and Simplified GNSS Signal Parallel Acquisition" di M. Nicola, A. Nordio, M. Fantino, M. Pini, P. Mulassano, e "Reduced Complexity Circuits for Serial Code Phase Search Acquisition" di G. Girau, L. Lo Presti, and M. Fantino.
L'articolo "Differential Data/Pilot Joint

Acquisition Strategies for Indoor Galileo E1 Signal" di T.H. Ta, L. Lo Presti, F. Dovis, D. Margaria, R. Lesca, è stato presentato nella sessione "Indoor positioning session".
La Conferenza ION-GNSS 2008 è stata una vetrina di prestigio per mettere in evidenza i risultati ottenuti dal team di ricerca IRGAL e la significativa competenza sviluppata in Piemonte nell'ambito della navigazione satellitare.

SAVE THE DATE

Torino, 21 ottobre 2008
WORKSHOP CONCLUSIVO PROGETTO IRGAL.

Torino 21 Ottobre

Centro Multifunzionale
Spaziale ALTEC,
corso Marche, 79, Torino.
Per informazioni e registrazioni:
http://www.irgal.com

IRGAL
INNOVAZIONE E RICERCA GALILEO

Progetto cofinanziato dall'Unione Europea,
dal Ministero dell'Economia e delle Finanze e dalla Regione Piemonte
per l'attuazione della Misura 3.4 del DOCUP 2000-2008.